

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP58098935
Publication date: 1983-06-13
Inventor(s): HIGUCHI KOUHEI
Applicant(s):: NIPPON DENKI KK
Requested Patent: ☐ JP58098935
Application Number: JP19810197851 19811209
Priority Number(s):
IPC Classification: H01L21/316 ; H01L21/26
EC Classification:
Equivalents: JP1740672C, JP4027692B

Abstract

PURPOSE: To prevent the production of a defect due to the stress of a substrate by forming grooves on a substrate, accumulating an SiO₂ film on the entire surface of the substrate and annealing only the film on the grooves, thereby reducing the area required to isolate the element.

CONSTITUTION: An Si substrate 21 is sputter etched, thereby forming grooves 22 of approx. 1μm in depth. Then, a resist is removed, and a thermally oxidized film 23 is formed on the surface.

Subsequently, an SiO₂ film 24 accumulated by a CVD method on the overall surface of the substrate 21. Then, only the film 24 on the grooves 22 is emitted by an electron beam, and is heat treated.

Thereafter, the film 24 is etched with buffered fluoric acid solution. Since the etching rates of the not annealed CVD SiO₂ film and the annealed film 24 are approx. 5:1 at this time, the oxidized film on the part to become an active region on the substrate is early removed.

Data supplied from the esp@cenet database - I2

Ref 3

Reference 3

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—98935

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)6月13日

H 01 L 21/316
21/26

7739—5F
6851—5F

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭56—197851
⑯ 出 願 昭56(1981)12月9日
⑯ 発 明 者 樋口行平

⑯ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
⑯ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板に溝を形成する工程と、前記半導体
基板の全表面にCVD法でシリコン酸化膜を堆積
する工程と、前記溝上に堆積したシリコン酸化膜
のみを電子ビームあるいはレーザービーム等で照
射してアニールする工程とを含むことを特徴とす
る半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に関し、特に酸
化物を用いる素子分離層の形成方法に関する。

従来、集積回路等に於ける素子分離の方法とし
て所謂LUCUS構造と呼ばれる酸化膜による素子
分離が広く用いられている。

第1図(a)~(c)は従来のLUCUS構造の素子分離

層の形成方法を説明するための工程断面図である。

まず、第1図(a)に示すように、シリコン基板11
にシリコン酸化膜12を形成し、その上にシリコ
ン窒化膜13を約1000Åの厚さにCVD法で形
成し、写真食刻法により選択除去する。シリコン
窒化膜13で覆われた部分がトランジスタの能動
領域となる部分である。

次に、第1図(b)に示すように、シリコン窒化膜
13を耐酸化マスクにして熱酸化し、厚さ約1μm
の厚い酸化膜15を形成する。この熱酸化でシリ
コン窒化膜13の表面にシリコン酸化膜14が形
成される。厚い酸化膜15が素子分離層となる。

次に、第1図(c)に示すように、酸化膜14を弗
酸で除去する。このとき酸化膜15の表面も削り
取られる。次に、熱リン酸でシリコン窒化膜14
を除去する。

このように、LUCUS構造の素子分離層は比較
的簡単な工程で形成される利点があるが、能動領
域の部分と素子分離用酸化膜の部分で炭素がで
きること及び第1図(c)の16で示したパーズピーク

(島のくちばし)と呼ばれる酸化膜の能動領域へのしみ出しの結果素子寸法を小さくした時に、設計寸法より能動領域が狭くなったりする欠点がある。また、シリコン酸化膜13とシリコン基板11の熱応力の違い等でシリコン基板11に欠陥を生じたりすることがあるという欠点もある。

本発明は上記欠点を除去し、素子分離に要する面積の縮小を計り、かつシリコン基板に応力が付加されたことによる欠陥の発生を防いだ半導体装置の製造方法を提供するものである。

本発明の半導体装置の製造方法は、半導体基板に溝を形成する工程と、前記半導体基板の全表面にCVD法でシリコン酸化膜を堆積する工程と、前記溝上に堆積したシリコン酸化膜のみを電子ビームあるいはレーザービーム等で照射してアニールする工程とを含んで構成される。

次に、本発明を実施例により説明する。

第2図(a)~(c)は本発明の一実施例を説明するための工程断面図である。

まず、第2図(a)に示すように、シリコン基板21

の能動領域と部分の表面をフォトリソストで覆い、 CF_4 ガス中でシリコン基板21をスパッタエッチし、約 $1\mu m$ 深さの溝22を形成する。次にフォトリソストを除去し、表面に厚さ数 100\AA の熱酸化膜23を形成する。これは、スパッタエッチされたシリコン表面の損傷を除去するためである。

次に、第2図(b)に示すように、シリコン基板21の全表面にCVD法でシリコン酸化膜24を約 $1.2\mu m$ の厚さに堆積する。そして、電子ビームで溝22の上のシリコン酸化膜のみを照射して熱処理する。本実施例の場合、加速電圧 $20KV$ ビーム径 $25\mu m$ ビーム電流 $40\mu A$ でCW走査を行なった。なお、本実施例の場合の溝幅は $3\mu m$ である。この結果、能動領域上のシリコン酸化膜はアニールされず、溝22の上のシリコン酸化膜のみがアニールされることになる。

次に、第2図(c)に示すように、バッファド弗酸液により酸化膜24をエッチングする。この時、アニールされていないCVDシリコン酸化膜とアニールされた部分のシリコン酸化膜のエッチング

レートはそれぞれ $4000\text{\AA}/分$ 及び $800\text{\AA}/分$ となり、約5:1の比があり、シリコン基板上の能動領域となる部分の上の酸化膜は早く除去されてしまう。この結果、溝22の上に素子分離層としてのシリコン酸化膜25が形成される。本実施例の場合、3分間バッファド弗酸液に浸すことにより、第2図(c)に示すように平坦な構造が得られた。

上記実施例ではCVD酸化膜24の局所アニールに電子ビームを用いたが、炭酸ガスレーザーを用いてもよい。炭酸ガスレーザーの場合、波長が $10.6\mu m$ と長く SiO_2 に対する吸収係数が 500cm^{-1} から 1000cm^{-1} と十分大きく、電子ビームの場合と同様な効果が得られる。

以上詳細に説明したように、本発明によれば、酸化膜の能動領域へのしみ込みがなく、従つて素子分離に要する面積を縮小でき、シリコン酸化膜による基板への応力の付加がなく、基板に欠陥が発生するのを防いだ半導体装置の製造方法が得られるのでその効果は大きい。

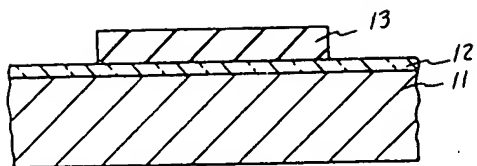
4. 図面の簡単な説明

第1図(a)~(c)は従来のLUCOS構造の素子分離層の形成方法を説明するための工程断面図、第2図(a)~(c)は本発明の一実施例を説明するための工程断面図である。

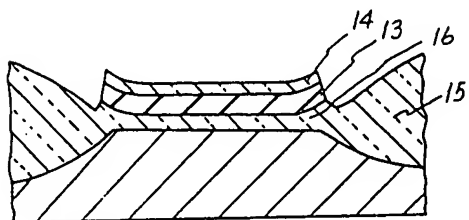
11……シリコン基板、12……シリコン酸化膜、13……シリコン窒化膜、14,15……シリコン酸化膜、16……バースピーク、21……シリコン基板、22……溝、23……熱酸化膜、24,25……CVDシリコン酸化膜。

代理人 弁理士 内 原

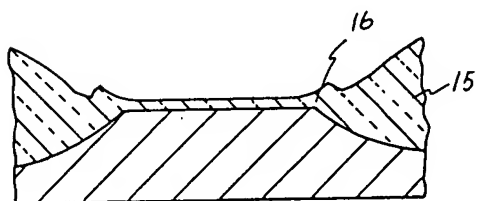




(a)

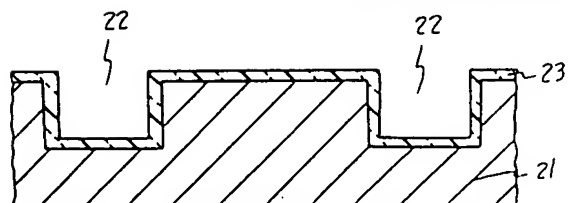


(b)

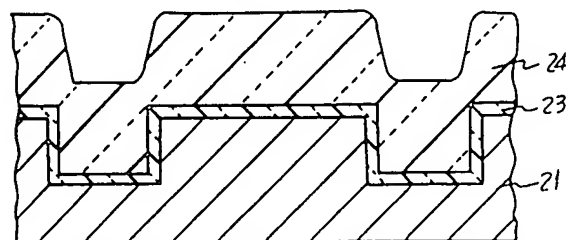


(c)

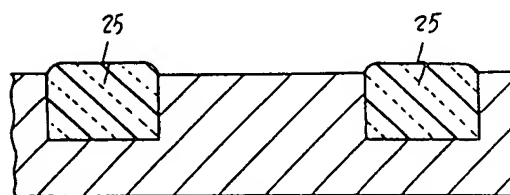
第 1 図



(a)



(b)



(c)

第 2 図